

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

Requested document: [JP1116682 click here to view the pdf document](#)

MONITOR DISPLAY DEVICE

Patent Number: JP1116682
Publication date: 1989-05-09
Inventor(s): SAWADA TOSHIYUKI
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP1116682
Application Number: JP19870275420 19871030
Priority Number(s):
IPC Classification: G09G1/00, G06F3/14
EC Classification:
Equivalents:

Abstract

PURPOSE: To display a character screen without generating delay by directly writing character information from a main CPU to a character memory at the time of displaying the character information.

CONSTITUTION: In order to write a character code and attribute data in the character memory 9, the main CPU 1 outputs an address of the memory 9 to a system bus 3. An address decoding circuit 20 detects the address and outputs a bus use request permission signal to be a request for using a local bus to a sub-CPU 5 through a line 25. The sub-CPU 5 outputs a bus switching signal for connecting the memory 9 to the bus 14 to a bus switching circuit 40 through a line 27. Thereby the main CPU 1 can directly access the memory 9. Consequently processing for a character display request is accelerated.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平1-116682

⑤ Int. Cl.⁴G 09 G 1/00
G 06 F 3/14

識別記号

3 2 0

庁内整理番号

A-6974-5C
C-7341-5B

④ 公開 平成1年(1989)5月9日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 監視表示装置

⑰ 特 願 昭62-275420

⑱ 出 願 昭62(1987)10月30日

⑲ 発 明 者 沢 田 敏 幸 東京都府中市東芝町1 株式会社東芝府中工場内
⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
㉑ 代 理 人 弁 理 士 佐 藤 一 雄 外2名

明 細 書

1. 発明の名称

監視表示装置

2. 特許請求の範囲

システムバスとローカルバスとの間に介在し主CPUからの表示情報を前記システムバスを介して受け取って格納するデュアルポートメモリと、このデュアルポートメモリに格納された表示情報に従って表示制御を実行し、主CPUと非同期動作するサブCPUと、前記表示情報が文字情報の時これを受取って格納する文字メモリとを有してなる監視表示装置において、前記システムバスに接続され、前記主CPUが前記システムバス上に出力した前記文字メモリのアドレス指定を検出し前記サブCPUに対し前記ローカルバスの使用要求許可信号を出力するアドレスデコード回路と、前記システムバスと前記ローカルバス間に設けられ、前記アドレスデコード回路からのバス切換信

号にตอบสนองして前記システムバスと前記ローカルバスとを接続するように切換わるバスバッファと、前記ローカルバスと前記文字メモリ間に設けられ、前記アドレスデコード回路の出力にตอบสนองして前記文字メモリを直接前記ローカルバスと接続するバス切換回路とを備え、文字情報の表示時には前記主CPUから前記文字メモリに対し直接文字情報を書込むよう構成したことを特徴とする監視表示装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は監視表示装置にかかり、特にプロセス制御分野においてリアルタイムにプロセスの変化をとらえて高速に表示を行うために使用されるものに関する。

(従来技術)

一般産業分野におけるプラントシステムは、半導体技術の革新的な発展に助けられ、制御の高度

化や複雑化が進み、さらにその対象範囲が拡大されてきた。また、特定目的のコントローラにおいては、機能の集中化が進んでいる。このような状況のもとにあつては、プラントシステムにおける監視表示装置には広範囲にわたる情報をとらえてリアルタイムにその内容を表示する機能が求められる。

次に従来の監視表示装置の一例を、表示機能専用のCPUを備えた装置を例に挙げ説明する。

第2図は従来の監視表示装置の一例を示すブロック図である。主CPU1は図示しない外部入力、例えば、伝送系や入出力系あるいは人間系からの情報を入力し、その情報をもとに表示が必要な場合にはデュアルポートメモリ4に対しコマンドやパラメータ等の表示情報を書込む。主CPU1とシステムバス3により接続されたメモリ2には監視装置全体にわたる制御プログラムが格納されている。デュアルポートメモリ4はシステムバス3を介して主CPU1と接続される一方、ローカルバス14を介してサブCPU5と接続されている。

13の表示を制御する表示制御回路12に供給されている。

また文字画面コントローラ7と、グラフィックコントローラ8とは表示を行うため文字メモリ9およびグラフィックメモリ10に対し一定周期で表示すべき範囲のアドレスから表示データを読み出し、表示制御回路12へデータを送り出す機能を有している。文字メモリ9から読み出された内容は文字コードであるため、一旦キャラクタジェネレータ11を介して表示データに変換されて制御回路12へ送られる。表示制御回路12は読み出された表示データをシリアルデータに変換したりディジタル量をアナログ量に変換したりして表示装置13の特性に合わせた信号やタイミングを生成している。

次にこのような構成による動作を説明すると、表示情報の内容が文字表示の場合には、サブCPU5はデュアルポートメモリ4から表示情報を引出してローカルバス14を介して文字画面コントローラ7に対し表示する文字データを供給す

このデュアルポートメモリ4に表示情報が書込まれると、サブCPU5に対する出力線15に実行要求割込みが出力され、サブCPU5に対する割込みが発生する。サブCPU5はこの割込みによってデュアルポートメモリ4に示される表示情報に従って表示制御を実行する。ローカルバス14に接続されたローカルメモリ6には表示情報の制御に必要な制御シーケンスやデータ等が格納されている。

ローカルバス6には表示が文字画面の場合における制御を行う文字画面コントローラ7および表示がグラフィック画面の場合における制御を行うグラフィック画面コントローラ8が接続されている。そして文字画面コントローラ7には文字コードを記憶する文字メモリ9を介して文字の表示データを発生するキャラクタジェネレータ11が接続され、グラフィック画面コントローラ8にはグラフィックデータを記憶するグラフィックメモリ10が接続され、キャラクタジェネレータ11およびグラフィックメモリ10の出力は表示装置

る。また図形表示や塗りつぶし等のグラフィック情報の場合には、同様にグラフィック画面コントローラ8に対し要求内容を供給する。文字画面コントローラ7とグラフィックコントローラ8はいずれも供給されたデータを文字メモリ9およびグラフィックメモリ10に対して書き込む動作と、表示装置13へ文字や図形を表示するための文字メモリ9とグラフィックメモリ10に対する読み出し動作もおこなう。読み出されるデータは、文字情報はキャラクタジェネレータ11を介して表示データを読み出し、表示制御回路12へ入力される。グラフィックメモリ10からはグラフィックデータが表示制御回路12へ入力される。表示制御回路12は表示装置13への信号を生成する。

ここで例えば円をグラフィック画面に描きたい時には、サブCPU5はグラフィック画面コントローラ8に対し円を描くコマンドおよび中心座標、半径、表示色等のパラメータを与える。これによりグラフィック画面コントローラ8自身がグラフィックメモリ10上のアドレスを計算し、円を描

くように動作する。同様に文字画面コントローラ7も表示したい文字コードと位置情報とを文字画面コントローラ7に与えることにより文字メモリ9のアドレスを計算し文字コードを書込む機能を有している。

以上のように主CPU1は表示要求を順次デュアルポートメモリ4に書込んでいく。そしてサブCPU5は順次要求内容をデュアルポートメモリ4から取出して処理する。これにより主CPU1は表示要求内容をデュアルポートメモリ4へ書込むだけで次のデータ処理へ移ることができるため、主CPU1の表示制御に対する負荷が大幅に軽減される。

一方、サブCPU5は表示制御に専念しているため、主CPU1からの要求も速やかに処理表示することができるので表示速度も向上する。

(発明が解決しようとする問題点)

しかし従来の装置は主CPU1から文字表示情報もグラフィック表示情報もデュアルポートメモリ4へシーケンス動作で書込まれるように構成さ

という問題があった。

さらにサンプリング周期を一定時間でおこなう必要のあるものはサンプリング周期と表示周期とが同期できなくなってしまうという問題もあった。このような場合、表示内容がサンプリング周期に対し実時間応答できないため過去のデータを表示してしまうことになる。

本発明は上述した問題点を解消するためになされたもので、文字表示要求に関し要求が発生した時点でグラフィック画面コントローラが動作中であってもまたグラフィック画面に対する要求が多数におよぶ場合であっても、遅れを伴うことなく文字画面表示ができるようにした監視表示装置を提供することを目的とする。

(発明の構成)

(問題点を解決するための手段)

本発明は、システムバスとローカルバスとの間に介在し主CPUからの表示情報をシステムバスを介して受け取って格納するデュアルポートメモリと、このデュアルポートメモリに格納された表

れていたため、サブCPU5はその内容を解釈して文字画面コントローラ7およびグラフィック画面コントローラ8のいずれかに処理を指示し、コントローラがその処理を完了した段階で次の要求をデュアルポートメモリ4から取出して同様に処理を繰返さなければならなかった。このため処理時間を要するもの、例えば、グラフィック画面に対する要求のうち閉領域の塗りつぶしなどをグラフィック画面コントローラ8が処理している間は次の要求が文字画面に対する要求であった場合には、その間、文字表示要求処理は文字画面コントローラ7が動作可能状態にもかかわらず待たなければならないという状態が発生する。

従ってグラフィック画面に対する塗りつぶし要求発生中に例えば非常停止情報等の緊急に表示すべき文字情報が発生するとその表示が遅れ、また高速でサンプリングされたサンプリングデータを表示しているときにグラフィック画面に対する塗りつぶし要求が発生すると、このグラフィック処理が完了するまで文字画面の表示が遅れてしまう

示情報に従って表示制御を実行し、主CPUと非同期動作するサブCPUと、表示情報が文字情報の時これを受取って格納する文字メモリとを有してなる監視表示装置において、システムバスに接続され、主CPUがシステムバス上に出力した文字メモリのアドレス指定を検出しサブCPUに対しローカルバスの使用要求許可信号を出力するアドレスデコード回路と、システムバスとローカルバス間に設けられ、アドレスデコード回路からのバス切換信号にตอบสนองしてシステムバスとローカルバスとを接続するように切換わるバスバッファと、ローカルバスと文字メモリ間に設けられ、アドレスデコード回路の出力にตอบสนองして文字メモリを直接ローカルバスと接続するバス切換回路とを備え、文字情報の表示時には主CPUから文字メモリに対し直接文字情報を書込むよう構成したことを特徴としている。

(作 用)

通常文字や図表を表示するためには、文字メモリ9に対しアドレスを指定し表示する文字コード

や文字を修飾する属性データを書込むことによりこれを実行する。この動作はCPUが主メモリに対し、データを書込む動作と同様であり高速動作が可能である。したがって主CPU1が文字メモリ9に対し表示データおよび属性データを直接書込むことができるように構成すれば、もっとも速く表示ができかつ主CPU1にとっても負荷が増加しない。

本発明ではアドレスデコード回路で文字情報であるかを検出し、バスバッファ30にバス接続許可信号を与えてシステムバスをローカルバスに直結させ、バス切換回路にバス切換信号を与えて文字情報の表示時には主CPUから文字メモリに対し直接文字情報を書き込むようにして文字画面表示を迅速に行うことができる。

(実施例)

以下本発明の一実施例を図面を参照して説明する。第1図は、本発明の一実施例を示すブロック図である。なお図中第2図に示す従来の装置と同一構成部分には同一符号を付しその詳細説明は省

次に本発明の装置の動作を説明する。主CPU1は文字メモリ9に対し文字コードおよび属性データを書込むため、文字メモリ9のアドレスをシステムバス3上に出力する。ここでアドレスデコード回路20はこのアドレスを検出し、サブCPU5に対しローカルバス14を使用する要求であるバス使用要求許可信号を線25を通じて出力する。すなわち、CPUが文字メモリに対してデータを書込む動作に入ると、コンパレータ22に入力されるアドレス信号線23に文字メモリのアドレスが現われ、これと文字メモリアドレス設定スイッチ21により設定された内容とがコンパレータ22により比較される。比較の結果一致しているときはアドレス一致信号がコンパレータ22から出力線24に出力され、サブCPU5、バスバッファ30、バス切換回路40にそれぞれ供給する。バス使用要求許可信号および後述するバス切換信号、バス接続信号は上述したコンパレータ出力信号である。サブCPU5はローカルバス14を解放してもいい状態になった場合、バス

略する。

本発明の装置ではシステムバス3とローカルバス14との間にバスバッファ30を設け、システムバス3にアドレスデコード回路20を接続し、ローカルバス14には文字画面コントローラ7を介する場合と直接接続する場合を切換えるバス切換回路40とを設け、アドレスデコード回路20の動作にตอบสนองしてバスバッファ30とバス切換回路40とを切換え、システムバス3が直接文字メモリ9に接続されるように構成している。

第2図はアドレスデコード回路20の具体的構成を示すブロック図であり、第3図はさらにその詳細を示す回路図である。

アドレスデコード回路20は文字メモリのアドレスを設定するメモリアドレス設定スイッチ21と、このアドレス設定スイッチ21の内容と入力されたアドレス信号を比較するコンパレータ22とを有している。コンパレータ22は出力側がワイヤドオア接続された複数のエクスクルーシブOR回路で形成されている。

使用要求許可信号を介してアドレスデコード回路20にその旨を通知する。これを受け、アドレスデコード回路20はバス切換回路40に対し文字メモリ9とローカルバス14とを接続するためのバス切換信号を線27を通じて出力する。これによりバス切換回路40は切換え動作を行い、文字画面コントローラ7を介することなくローカルバス14と文字メモリ9とが直接接続される。さらにアドレスデコード回路20はバスバッファ30に対してもバス接続許可信号を線26を通じて出力する。これによりバスバッファ30はシステムバス3とローカルバス14とを接続するように動作する。したがって主CPU1が文字メモリ9を直接アクセスすることが可能となる。

このように主CPU1が文字表示画面に文字を表示しようとする場合には、従来のようにデュアルポートメモリ4に対してコマンドやパラメータ等の要求情報を書込むのではなく直接文字メモリ9に対し表示文字コードや属性コードを書込むようにしたことが本発明の特徴である。

このようにして主CPU 1は文字メモリ9に対し表示文字コードおよび属性コードを書込みするが、書き込み動作終了ごとにローカルバス14は主CPU 1から解放される。

なおグラフィック画面に対する要求は、デュアルポートメモリ4に対し従来と同様に行われる。

(発明の効果)

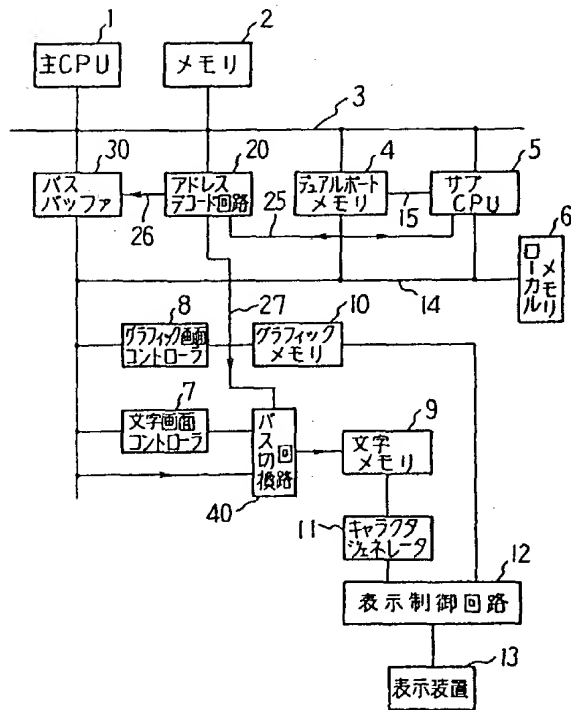
以上実施例に基づいて詳細に説明したように本発明では文字表示の要求が発生した時にその要求に基づいてサブCPUやグラフィック画面コントローラの動作状態の如何にかかわらず、主CPUが必要な文字コードや属性コードを文字メモリに直接ただちに書き込むように構成したため、文字表示要求に対する処理が高速化されるばかりでなく、サブCPUの制御ソフトウェアはグラフィック画面コントローラに対する処理だけとなるため、ソフトウェアの簡素化や開発時期の短縮、さらに保守性の向上等の効果が期待できる。

4. 図面の簡単な説明

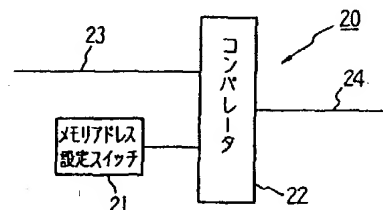
第1図は本発明の一実施例を示す監視表示装置のブロック図、第2図および第3図はアドレスデコード回路の構成を示すブロック図、第4図は従来の装置を示すブロック図である。

1…主CPU、3…システムバス、4…デュアルポートメモリ、5…サブCPU、7…文字画面コントローラ、8…グラフィック画面コントローラ、9…文字メモリ、13…表示装置、14…ローカルバス、20…アドレスデコード回路、30…バスバッファ、40…バス切換回路。

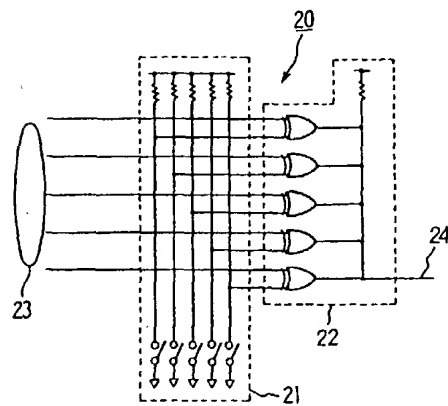
出願人代理人 佐藤 一 雄



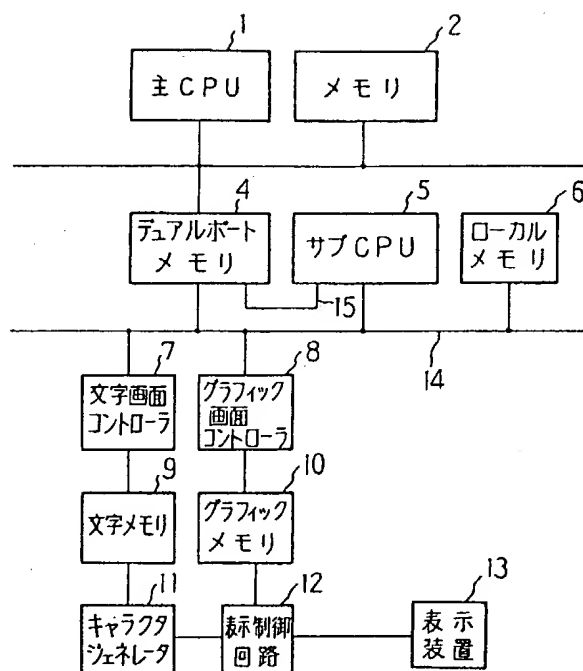
第1図



第2図



第3図



第 4 図